

PATENT ABSTRACTS OF JAPAN

03-9805-TS-B (6)

(11)Publication number : 07-211510

(43)Date of publication of application : 11.08.1995

(51)Int.Cl.

H01C 7/00
H01L 21/761
H01L 27/04
H01L 21/822

(21)Application number : 06-007519

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 27.01.1994

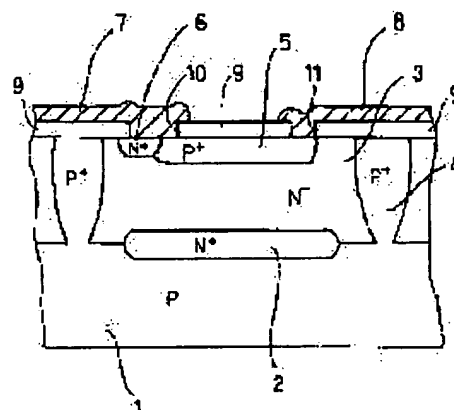
(72)Inventor : NAKAMURA KATSUMI
YAMAMOTO TOMOHISA
BAN HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make a parasitic PNP transistor not to be activated by setting the potential of an N-type semiconductor area to be the same as that of a P-type diffusion resistance area in a diffusion resistance which consists of an N-type semiconductor area formed on a P-type semiconductor substrate and a P-type diffusion resistance area surrounded by an element isolation area.

CONSTITUTION: An N+ type embedding layer 2 is subjected to ion implantation on P-type silicon substrate 1 and an N-type epitaxial layer 3 is subjected to epitaxial growth. Then, an P+-type element isolation area 4, P-type diffusion resistance 5 and N+-type potential contact area 6 are formed. Further, after a field oxide film 9 is formed on its surface and a contact hole 10 is made, then a wiring later made of Al, etc., is formed. The area 6 is set at the same potential as that on the high potential side of the resistance 5. Thus, even when a current leaks from an N-type semiconductor area to a P-type semiconductor substrate in a high-temperature environment, a PNP transistor is hardly turned on, preventing the abnormality of circuit characteristics.



LEGAL STATUS

[Date of request for examination]

06.06.1996

[Date of sending the examiner's decision of rejection]

22.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 1 1 5 1 0

(43) 公開日 平成7年(1995)8月11日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C 7/00	V			
H 0 1 L 21/761				
27/04				
			H 0 1 L 21/76	J
			27/04	R
審査請求 未請求 請求項の数 4	OL		(全 5 頁)	最終頁に続く

(21) 出願番号 特願平6-7519

(22) 出願日 平成6年(1994)1月27日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 中村 克己

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 山本 智久

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 伴 博行

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

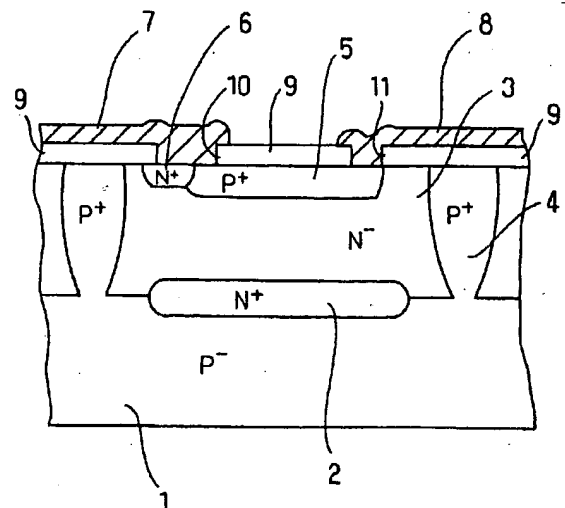
(74) 代理人 弁理士 碓氷 裕彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 高温時にリーク電流が発生しても寄生PNPトランジスタが動作しない拡散抵抗を有する半導体装置を提供する。

【構成】 1はP⁻型シリコン基板、2はN⁺型埋め込み層、3はN⁻型エピタキシャル層、4はP⁺型素子分離領域、5はP⁺型拡散抵抗、6はN⁺型電位コンタクト領域、7、8は金属配線、9はフィールド酸化膜、10、11はコンタクトホールである。高温時にN⁻型エピタキシャル層3からP⁻型シリコン基板1にリーク電流が発生しても、寄生トランジスタによる電流増幅が起こらないため、リーク電流の増加を抑えることができる。



【特許請求の範囲】

【請求項1】 回路素子を保護する入力抵抗となる拡散抵抗を有する半導体装置において、

前記拡散抵抗は、P形半導体基板上に形成されたN形半導体領域と、該N形半導体領域の表面からその内部に拡散して形成されるとともに、素子分離領域により囲まれたP形拡散抵抗領域とを含み、前記N形半導体領域の電位が前記P形拡散抵抗領域と同電位に設定されたことを特徴とする半導体装置。

【請求項2】 前記拡散抵抗は、前記N形半導体領域の表面に形成されるとともに前記P形拡散抵抗領域に隣接したN形コンタクト領域と、

前記N形半導体領域の表面に形成された絶縁膜と、前記P形拡散抵抗領域と電気的コンタクトをとるためのコンタクトホールと、

該コンタクトホールを介して前記P形拡散抵抗領域および前記N形コンタクト領域に接続された配線層とを有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記拡散抵抗において、前記N形コンタクト領域は、前記P形拡散抵抗領域の周りを覆うように形成されたことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記拡散抵抗の形成された島領域と、前記N形半導体領域がフローティング電位あるいは他の電位に設定された拡散抵抗がそれぞれ同一領域内に形成された島領域と、回路素子島領域とにパターンレイアウトされたことを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に接合分離型半導体装置に形成される拡散抵抗に関するものである。

【0002】

【従来技術】 従来、接合分離型半導体装置にて集積化される抵抗素子としてB（ボロン）等の不純物を拡散させて形成したP形拡散抵抗が最も多用されている。これは、P形半導体基板上にN⁻形エピタキシャル層を形成し、P⁺形素子分離領域を形成し、さらにP⁺形領域を形成して拡散抵抗を形成するものである。通常、P⁺形抵抗領域とN⁻形エピタキシャル層とのPN接合には常に逆バイアスが掛けられなければならない、N⁻形エピタキシャル層の電位を回路の最高電位、一般的には電源電圧に設定するようにしている。しかし、入力電圧範囲として電源電圧以上の電圧が印加されるような回路部分に使用される拡散抵抗においては、どこにも接続されずにフローティング電位とされている。これは、前述のようにN⁻形エピタキシャル層の電位を電源に設定すると、抵抗の入力電圧が電源電圧以上になった場合、前述のPN接合が順バイアスされることになり、この際に流れる

電流により、A1等の配線とのコンタクトの破壊あるいは配線の溶断が起きてしまうためである。

【0003】 ここで、拡散抵抗を100℃を越すような高温環境下で使用する際、例えば「電子情報通信学会論文誌V01. J74-C-I INo. 12 PP797〜」に示されるようにエピタキシャル層（N形）から基板（P形）へ漏れ電流が発生する。このとき、上記のようなエピタキシャル層の電位が電源電圧に設定されている場合は、電源から電流を引くため、抵抗層を流れる電流には影響を与えず実用上問題にならない。

【0004】

【発明が解決しようとする課題】 しかしながら、エピタキシャル層がフローティング電位の場合は、抵抗層から電流を引くことになる。そしてこの電流により基板とエピタキシャル層と抵抗層とで形成される寄生PNPトランジスタが動作してしまうと、トランジスタの増幅率分だけの電流をさらに抵抗層を流れる電流から引いてしまい、その抵抗層が回路素子の保護のための入力抵抗に使用される場合、回路の特性が狂うといった問題が発生する。

【0005】 従って、本発明は、高温時にリーク電流が発生しても寄生PNPトランジスタが動作しない拡散抵抗を有する半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記課題を解決するための半導体装置は、回路素子を保護する入力抵抗となる拡散抵抗を有する半導体装置であって、前記拡散抵抗は、P形半導体基板上に形成されたN形半導体領域と、該N形半導体領域の表面からその内部に拡散して形成されるとともに、素子分離領域により囲まれたP形拡散抵抗領域とを含み、前記N形半導体領域の電位が前記P形拡散抵抗領域と同電位に設定されたことを特徴としている。

【0007】 また前記半導体装置において、前記半導体拡散抵抗は、前記N形領域の表面に形成されるとともに前記P形拡散抵抗領域に隣接したN形コンタクト領域と、前記N形領域の表面に形成された絶縁膜と、前記P形拡散抵抗領域と電気的コンタクトをとるためのコンタクトホールと、該コンタクトホールを介して前記P形拡散抵抗領域および前記N形コンタクト領域に接続された配線層とを有すると良い。

【0008】 また、前記拡散抵抗において、前記N形コンタクト領域は、前記P形拡散抵抗領域を覆うように形成されると良い。また、前記半導体装置は、前記拡散抵抗の形成された島領域と、前記N形半導体領域がフローティング電位あるいは他の電位に設定された拡散抵抗がそれぞれ同一領域内に形成された島領域と、回路素子島領域とにパターンレイアウトされると良い。

【0009】

【作用・効果】 上記構成によると、高温環境下において、前記N形半導体領域からP形半導体基板への漏れ電

流が発生しても、N形領域がP形拡散抵抗領域の高電位側に設定されているため、P形拡散抵抗領域とN形領域とP形半導体基板とから形成されるPNPトランジスタがONすることはない。これにより、前記PNPトランジスタによる電流増幅を抑えることができるため、前記P形拡散抵抗領域から大幅に電流を引くことができなくなり、これを回路素子等の入力抵抗として用いた場合には、例えばしきい値変動や出力誤差といった回路特性異常を抑えることができるという優れた効果を奏するものである。さらに、N形領域とP形拡散抵抗領域とを同じ電位に設定できることから、コンタクトホールを共用化でき、素子面積を小さくすることができるという波及効果もある。

【0010】また、前記N形コンタクト領域が、前記P形拡散抵抗領域を覆うように形成されると、前記P形拡散抵抗領域全体の周辺にて、高電位側に設定することができ、より寄生PNPトランジスタが動作することを抑制することができる。また、前記半導体装置は、前記拡散抵抗の形成された島領域と、前記N形半導体領域がフローティング電位あるいは他の電位に設定された拡散抵抗がそれぞれ同一領域内に形成された島領域と、回路素子島領域とにパターンレイアウトされると素子のレイアウト面積を小さく抑えることができる。

【0011】

【実施例】本発明の一実施例を図1に示す。この図において、1はP⁻形シリコン基板、2はN⁺形埋め込み層、3はN⁻形エピタキシャル層、4はP⁺形素子分離領域、5はP⁺形拡散抵抗、6はN⁺形電位コンタクト領域、7、8は金属配線、9はフィールド酸化膜、10、11はコンタクトホールである。

【0012】次に、図1の拡散抵抗の形成方法を簡単に説明する。まずP⁻形シリコン基板1にN⁺形埋め込み層2をイオン注入し、N⁻形エピタキシャル層3をエピタキシャル成長させる。その後、P⁺形素子分離領域4、P形拡散抵抗5、N⁺形電位コンタクト領域6を形成する。さらに表面にフィールド酸化膜9を形成し、コンタクトホール10を開口し、A1等の配線層を形成する。尚、N⁺形電位コンタクト領域6は、P⁺形拡散抵抗5の高電位側と同じ電位に設定されることが必要である。

【0013】尚、図1に示すようにN⁺形電位コンタクト領域6をP⁺形拡散抵抗5に隣接させずに、N⁺形電位コンタクト領域6の専用のコンタクトホールを別に設けるようにしてもよいが、本実施例のようにN⁺形電位コンタクト領域6をP⁺形拡散抵抗5に隣接させると、P⁺形拡散抵抗5とN⁺形電位コンタクト領域6とのコンタクトホールを共用化できるという利点がある。

【0014】他の実施例として、図2(a)の上面図、および(b)の(a)図AA'断面図に示すように、N⁺形電位コンタクト領域6'をP⁺形拡散抵抗5を覆う

ように形成するようにしても良い。この様にすると、P⁺形拡散抵抗5の周りのN⁻形エピタキシャル層3は全体的に高電位側に設定されるため、より寄生PNPトランジスタを動作させないようにすることができる。尚、N⁺形電位コンタクト領域6'はP形拡散抵抗5に接しても接しなくても良い。

【0015】図3に半導体拡散抵抗の使用温度とその際のリーク電流との関係を示す。図中の一点鎖線に示す特性Aは従来のN⁻形エピタキシャル層がフローティング状態とされた抵抗の特性であり、実線に示す特性Bは本実施例の抵抗の特性を表すものである。この図を見て分かるように、従来の抵抗では温度が100℃を超えるとリーク電流が急激に増加し始めてしまう。一方、本実施例の抵抗ではN⁻形エピタキシャル層3とP⁺形拡散抵抗5とが同電位に設定されているため、寄生トランジスタは動作せず、高温時のリーク電流をP⁺形拡散抵抗5から引いても寄生トランジスタによる電流増幅なく、リーク電流の増加が抑制されていることが分かる。

【0016】また、図4には比較回路を用いた出力回路の回路図を示す。この回路は例えば車両等の方向指示器の点滅信号を出力する回路を示すものであり、コンパレータ23からの出力によりトランジスタ22をON・OFFさせ、OUTから点滅信号が出力されるものである。回路動作を簡単に説明すると、バッファ24を介してコンデンサ25が充電されてコンパレータ22のプラス入力がしきい値を超えると、コンパレータ22の出力がHighとなり、コンデンサ25は放電モードに変わりバッファ24を介して放電を始める。同時にトランジスタ21がONし、コンパレータ22のしきい値が低くなる。そして、コンデンサ25の放電によりコンデンサ25の電位が低下してコンパレータ22のプラス入力がしきい値を超えると、コンパレータ22の出力がLowとなり、コンデンサ25が充電モードに変わると同時にトランジスタ21がOFFしてしきい値が高くなる。これを繰り返すことにより、点滅信号が出力されることになる。

【0017】この回路において、コンパレータ22の入力抵抗26、27を従来のようなN⁻形エピタキシャル層がフローティング電位とされた半導体拡散抵抗にて構成すると、その使用温度が100℃を超えるような高温になった場合、上述したようにリーク電流が発生し、その値が大きい場合には、しきい値が変動する、コンデンサ25の放電が速まる、コンデンサ25の電位よりもコンパレータ22のプラス入力の電位が低下する等により、点滅の周期が変動してしまうといった問題が発生する。しかし、入力抵抗26、27を本実施例のような半導体拡散抵抗を用いた場合には上述のようにリーク電流を低減できるため、周期変動を抑えることができる。

【0018】次に図5に素子パターンレイアウトを示す。31はトランジスタ等の素子領域、32はN⁻形エ

5

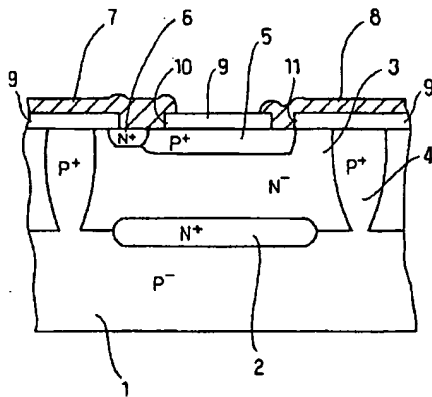
ピタキシャル領域を電源電圧に設定した拡散抵抗を形成した抵抗島であり、32a・・・はそれぞれの拡散抵抗を示す。また、33はN⁻形エピタキシャル領域をフローティング電位に設定した拡散抵抗を形成した抵抗島であり、33a・・・はそれぞれの拡散抵抗を示す。そして、34、35は本実施例による拡散抵抗島領域であり、34a、35bはそれぞれの拡散抵抗を示す。このように、素子パターンレイアウトを設計すれば素子面積を本実施例による拡散抵抗分だけの最小限の増加で抑えることができる。

【図面の簡単な説明】

【図1】本実施例の拡散抵抗の断面図である。

【図2】他の実施例の拡散抵抗の断面図である。

【図1】



6

【図3】本実施例の効果を示す特性図である。

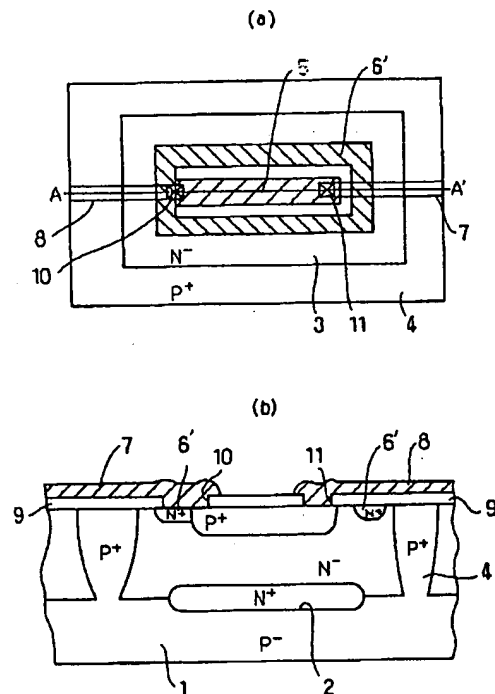
【図4】本実施例の半導体拡散抵抗を用いた一回路図である。

【図5】本実施例の半導体装置の一パターンレイアウトを示す図である。

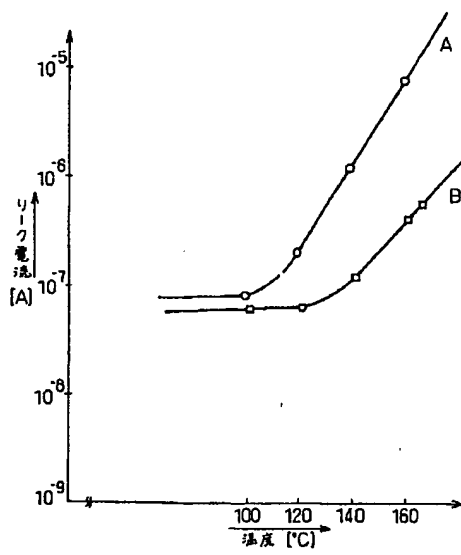
【符号の説明】

- 1 P形シリコン基板
- 2 N⁺形埋め込み層
- 3 N⁻形エピタキシャル層
- 4 P⁺形素子分離領域
- 5 P形拡散抵抗
- 6 N⁺形電位コンタクト領域

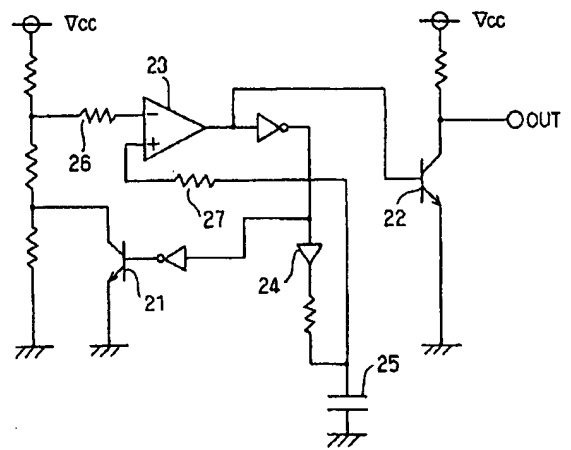
【図2】



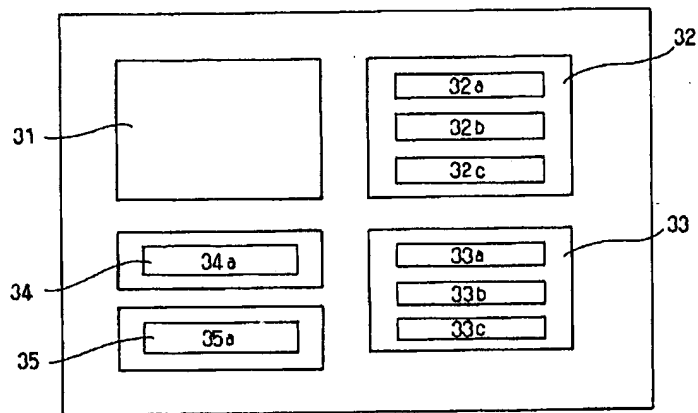
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/822